

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017495

(43)Date of publication of application : 17.01.2003

(51)Int.Cl. H01L 21/3205
H01L 21/60
H01L 23/12

(21)Application number : 2001-203029

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.07.2001

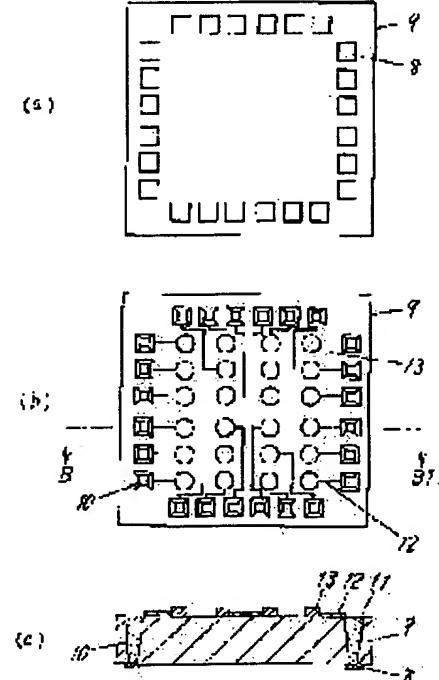
(72)Inventor : NAGAO KOICHI

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent damages to an element, when rewiring on the element area of a semiconductor chip, when constituting a semiconductor device by a semiconductor chip size.

SOLUTION: Hole parts 10, connected with electrode pads 8 on a front face, are formed on the rear face side of the semiconductor chip 9. Conductive wiring layers 12 for electrical connection are formed at the parts 10 and rewired on the rear face side of the chip, to provide a wiring pattern which does not influence the element area of the chip 9 on the rear face side of the chip. Even in the case of mounting the semiconductor device to a mount board, there is no risk of damages to the element area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特願2003-17495

(P2003-17495A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl.
H01L 21/3205
21/60
23/12

識別記号
321
501

F I
H01L 21/60
23/12
21/88

テ-マコ-ト(参考)
321E 5F033
501C 5F044
J

審査請求 未請求 請求項の数15 O.L (全 6 頁)

(21)出願番号

特願2001-203029(P2001-203029)

(22)出願日

平成13年7月4日(2001.7.4)

(71)出願人

000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者

長尾 治一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人

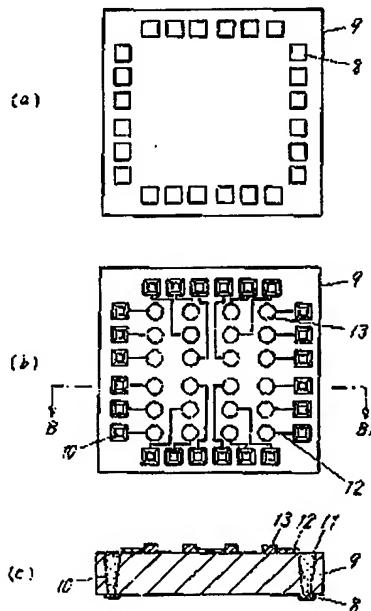
100097445
弁理士 岩橋 文親 (外2名)
Pターム(参考) 5F033 NM30 NK32 PP26 QQ00 QQ07
QQ34 QQ37 TT00 VV07 VV12
VV16 XX19 XX37
5F043 RR00

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体チップサイズで半導体装置を構成した際、半導体チップの素子領域上に再配線する際の素子へのダメージが懸念されていた。

【解決手段】 半導体チップ9の裏面側に裏面の電極パッド8と接続した穴部10を有し、その穴部10で電気的な接続の導体配線層12を形成し、チップ裏面側で再配線することで半導体チップ9の素子領域に影響のない配線パターンをチップ裏面側に設けているものであり、半導体装置を実装基板に搭載する際にも素子領域に対するダメージの心配がなくなる。



(2)

特開2003-17495

【特許請求の範囲】

【請求項1】 その表面に電極パッドを有した半導体チップと、

前記半導体チップの裏面側に形成され、前記半導体チップの電極パッドの底部に到達した穴部と、

前記穴部に設けられ、前記電極パッドの底部と電気的に接続した導体層と、

前記導体層と電気的に接続し、前記半導体チップの裏面領域に絶縁層を介して形成された導体配線層とよりなることを特徴とする半導体装置。

【請求項2】 半導体チップの表面側は絶縁性樹脂で被覆されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体チップの裏面側は導体配線層の一部を除いて、絶縁性樹脂で被覆されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 導体配線層は、半導体チップの裏面領域上でパターン形成され、外部端子用の端子パッドを有していることを特徴とする請求項1に記載の半導体装置。

【請求項5】 端子パッドはエリアアレイ状に配設されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 電極パッドは半導体チップの周辺部に設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項7】 電極パッドは半導体チップの中央部に設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項8】 穴部に設けられ、電極パッドの底部と電気的に接続した導体層は、前記穴部に対して導電材が充填されることで導体層をなしていることを特徴とする請求項1に記載の半導体装置。

【請求項9】 穴部は断面において、電極パッドに向かうにしたがって狭く構成されて略円錐状をなしていることを特徴とする請求項1に記載の半導体装置。

【請求項10】 表面上に電極パッドを有した半導体チップがその面内に複数個形成された半導体ウェハーに対して、各半導体チップの裏面側から各電極パッドの底部に到達するよう穴部を形成する工程と、

前記半導体ウェハーの各半導体チップの穴部に対して、前記電極パッドの底部と電気的に接続した導体層を形成する工程と、

前記導体層に接続させ、前記半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程と、

前記半導体ウェハーの各半導体チップ単位で分割する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項11】 半導体ウェハーの各半導体チップの穴部に対して、電極パッドの底部と電気的に接続した導体層を形成する工程では、穴部に対して導電材を充填することを特徴とする請求項10に記載の半導体装置の製造方法。

1 (2)

特開2003-17495

2

【請求項12】 半導体チップの裏面側から各電極パッドの底部に到達するよう穴部を形成する工程では、エッチングにより半導体チップ基材を研削することで穴部を形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項13】 導体層に接続させ、半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程では、導体配線層により半導体チップの裏面領域上でパターン形成するとともに、外部端子用の端子パッドを形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項14】 半導体ウェハーの各半導体チップ単位で分割する工程の前に、前記半導体ウェハーの表面を絶縁性樹脂で被覆する工程を有することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項15】 導体層に接続させ、半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程では、半導体ウェハー裏面上に絶縁層を形成した後、前記絶縁層上に導体配線層を形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、配線基板への実装効率を高め、高密度実装を可能にし、信頼性の高い基板実装を実現できるチップ状の半導体装置およびその製造方法に関するものであり、特に半導体ウェハーレベルで製造し、かつ信頼性の高い半導体装置構造を実現できる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、携帯機器の軽量小型化、高密度化にともない、リード端子を外部端子として有した半導体パッケージの高密度実装化が進む中、より高密度実装を図るため、チップ状の半導体装置を電子機器の配線基板等に実装する技術が開発されている。

【0003】 以下、従来の半導体装置について図面を参照しながら説明する。

【0004】 図5は従来の半導体装置を示す図であり、図5(a)は構成斜視図であり、図5(b)は図5(a)のA-A1箇所の断面図である。

【0005】 図5に示すように従来の半導体装置は、一主面上の周辺領域に内部の半導体集積回路素子と接続した複数の電極パッド1を有した半導体チップ2と、各電極パッド1を除く半導体チップ2の主面領域上に形成された絶縁性の低弾性樹脂よりなる絶縁層3と、半導体チップ2の主面内であって、形成された絶縁層3上に各電極パッド1と接続した金属導体よりなる配線層4により再配線接続で2次元配置された複数のコンタクトパッド5と、それらコンタクトパッド5を除く半導体チップ2の主面上に形成され、電極パッド1、配線層4を保護したソルダーレジストなどの絶縁性樹脂層6と、コンタク

50

(3)

特開2003-17495

3

トパッド5上に各々設けられた半田ボールなどの突起電極7より構成されている。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置において、半導体チップサイズで半導体装置を構成することができるものの、半導体チップの素子領域、すなわち能動領域上に再配線することでコンタクトパッドを形成するものであり、素子領域に対するダメージが懸念されていた。

【0007】また半導体装置を実装基板に搭載する際も素子領域に対するダメージが懸念されていた。

【0008】さらに従来の半導体装置構造では、基板実装時は電極(突起電極)面を下にして実装するため、実装後は半導体装置の電極面が隠れてしまい、半導体装置に対してダイレクトで電気的な検査ができないという問題もあった。

【0009】本発明は前記従来の課題を解決するものであり、半導体ウェハーレベルで半導体装置を製造でき、かつ半導体チップサイズの半導体装置を信頼性よく実現できる半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】前記従来の課題を解決するために本発明の半導体装置は、その表面に電極パッドを有した半導体チップと、前記半導体チップの裏面側に形成され、前記半導体チップの電極パッドの底部に到達した穴部と、前記穴部に設けられ、前記電極パッドの底部と電気的に接続した導体層と、前記導体層と電気的に接続し、前記半導体チップの裏面領域に絶縁層を介して形成された導体配線層とよりなる半導体装置である。

【0011】そして具体的には、半導体チップの表面側は絶縁性樹脂で被覆されている半導体装置である。

【0012】また、半導体チップの裏面側は導体配線層の一部を除いて、絶縁性樹脂で被覆されている半導体装置である。

【0013】また、導体配線層は、半導体チップの裏面領域上でパターン形成され、外部端子用の端子パッドを有している半導体装置である。

【0014】また、端子パッドはエリアアレイ状に配置されている半導体装置である。

【0015】また、電極パッドは半導体チップの周縁部に設けられている半導体装置である。

【0016】また、電極パッドは半導体チップの中央部に設けられている半導体装置である。

【0017】また、穴部に設けられ、電極パッドの底部と電気的に接続した導体層は、前記穴部に対して導電材が充填されることで導体層をなしている半導体装置である。

【0018】さらに、穴部は断面において、電極パッドに向かうにしたがって狭く構成されて略円錐状をなして

4

いる半導体装置である。

【0019】本発明の半導体装置の製造方法は、表面に電極パッドを有した半導体チップがその面内に複数個形成された半導体ウェハーに対して、各半導体チップの裏面側から各電極パッドの底部に到達するよう穴部を形成する工程と、前記半導体ウェハーの各半導体チップの穴部に対して、前記電極パッドの底部と電気的に接続した導体層を形成する工程と、前記導体層に接続させ、前記半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程と、前記半導体ウェハーの各半導体チップ単位で分割する工程とよりなる半導体装置の製造方法である。

【0020】そして具体的には、半導体ウェハーの各半導体チップの穴部に対して、電極パッドの底部と電気的に接続した導体層を形成する工程では、穴部に対して導電材を充填する半導体装置の製造方法である。

【0021】また、半導体チップの裏面側から各電極パッドの底部に到達するよう穴部を形成する工程では、エッチングにより半導体チップ基材を研削することで穴部を形成する半導体装置の製造方法である。

【0022】また、導体層に接続させ、半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程では、導体配線層により半導体チップの裏面領域上でパターン形成するとともに、外部端子用の端子パッドを形成する半導体装置の製造方法である。

【0023】また、半導体ウェハーの各半導体チップ単位で分割する工程の前に、前記半導体ウェハーの表面を絶縁性樹脂で被覆する工程を有する半導体装置の製造方法である。

【0024】さらに、導体層に接続させ、半導体ウェハーの各半導体チップの裏面に導体配線層を形成する工程では、半導体ウェハー裏面上に絶縁層を形成した後、前記絶縁層上に導体配線層を形成する半導体装置の製造方法である。

【0025】前記構成の通り、本発明の半導体装置は、半導体チップの裏面側に表面の電極パッドと接続した穴部を有し、その穴部で電気的な接続の導体層を形成し、チップ裏面側で再配線することで半導体チップの素子領域に影響のない配線パターンをチップ裏面側に有しているものである。したがって、本発明の半導体装置を実装基板に搭載する際には、素子領域に対するダメージの心配がなくなる。

【0026】また本発明の半導体装置の製造方法においては、半導体ウェハー状態で各半導体チップの裏面側に再配線でパターン形成するため、パターン形成時の素子領域へのダメージを防止できるものである。

【0027】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法の一実施形態について、図面を参照しながら説明する。

50

(4)

特開2003-17495

5

【0028】まず本実施形態の半導体装置について説明する。

【0029】図1は本実施形態の半導体装置を示す図である。図1において、図1(a)は平面図であり、図1(b)は底面図、図1(c)は図1(b)でのB-B1箇所の断面図である。

【0030】図1に示すように、本実施形態の半導体装置としては、リアルチップサイズパッケージ(RCS-P)であり、表面に複数の素子と電極パッド8とを有した半導体チップ9と、その半導体チップ9の裏面側に形成され、半導体チップの電極パッド8の底部に到達した貫通しない穴部10と、穴部10に設けられ、チップの電極パッド8の底部と電気的に接続した導体層11と、その導体層11と電気的に接続し、半導体チップ9の裏面領域に絶縁層(図示せず)を介して形成された導体配線層12とよりなる半導体装置である。そして導体配線層12は、半導体チップの裏面領域上でパターン形成され、外部端子用の端子パッド13を有しているものである。また穴部10に設けられた導体層11は、その穴部10に対して導電材が充填されて導体層を形成しているものであるが、穴部10の壁面にメッキにより導体層を形成してもよい。そして穴部10は断面において、電極パッド8に向かうにしたがって狭く構成されて略円錐状をなしているものであり、これは穴部10の形成をエッチングにより行った形状があらわれているものである。なお、本実施形態の半導体装置では半導体チップ9の裏面の導体配線層12は絶縁層を介して形成されているので、各電極パッド8と接続した導体配線層12どうしの短絡を防止し、また基板実装時の半田クリームによる短絡を防止するものである。

【0031】また本実施形態の半導体装置では、図示するように端子パッド13はエリアアレイ状に配置されているものであり、表面の電極パッド8を穴部10を通して裏面に引き回して、再配線しているものである。

【0032】本実施形態では表面の電極パッド8がチップの周縁部に形成されたロジック系の半導体チップを用いて半導体装置を構成しているが、電極パッドが半導体チップの中央部に設けられているメモリー系チップであってもよい。

【0033】次に図2は本実施形態の半導体装置に対して、保護パッケージング手段を施した構成を示す半導体装置の断面図であり、基本構成は図1に示した構成と同様である。

【0034】図2に示す半導体装置は、半導体チップ9の表面の電極パッド8を被覆するように絶縁性樹脂14を形成しているものである。そしてさらに半導体チップ9の裏面側に対しても導体配線層12の一部、すなわち端子パッド13を除いて、絶縁性樹脂14で被覆しているものである。また基板実装のために、端子パッド13上に半田ボールなどのボール電極15を形成した構造で

6

ある。なお、半導体チップ9の裏面側を絶縁性樹脂14で被覆する際、実装後の電気的検査のために電極パッド8の部分を開口させてチップ裏面のみを被覆してもよい。

【0035】図2に示す半導体装置は基板実装時の外部から印加される衝撃を防止し、基板実装に適した構造である。

【0036】以上、本実施形態の半導体装置では、半導体チップ9の裏面側に表面の電極パッド8と接続した穴部10を有し、その穴部10で電気的な接続の導体配線層12を形成し、チップ裏面側で再配線することで半導体チップ9の素子領域に影響のない配線パターンをチップ裏面側に設けているものであり、半導体装置を実装基板に搭載する際には、素子領域に対するダメージの心配がなくなる。また本実施形態の半導体装置は基板実装後であっても、表面側の電極パッド8を露出させておくことにより、基板実装した後、半導体装置に対してダイレクトで探針を接触させて電気的な検査が可能である。

【0037】次に本実施形態の半導体装置の製造方法について図面を参照しながら説明する。図3は本実施形態の半導体装置の製造方法を示す主要な工程の断面図である。

【0038】まず図3(a)に示すように、表面に電極パッド8を有した半導体チップ9がその面内に複数個形成された半導体ウェハー16を用意する。

【0039】そして図3(b)に示すように、半導体ウェハー16に対して、各半導体チップ9の裏面側から各電極パッド8の底部に到達するよう穴部10をエッチングでチップ基材を研削して形成する。この工程ではエッチングの他、マイクロドリルを用いて穴部10を形成してもよいが、電極パッド8の底部が確実に穴部10内に露出するように形成し、貫通しないようにする。また、半導体ウェハー16の裏面側からの電極パッド8の認識は赤外線認識により可能である。そして各半導体チップ9の穴部10に対して、電極パッド8の底部と電気的に接続した導体層11を形成する。本実施形態では穴部10に対して導電材を充填することにより導体層11を形成し、充填ビア構造を形成しているが、穴部10の壁面にメッキにより導体層を形成し、スルーホール形式にしてもよい。

【0040】次に図3(c)に示すように、各半導体チップ9の穴部10の導体層11に接続させ、各半導体チップ9の裏面に導体配線層12をチップ裏面領域内でパターン形成するとともに、導体配線層12の端部に端子パッド13を形成する。またこの工程において、半導体チップ9の裏面に導体配線層を引き回して形成する前に、半導体ウェハー16裏面上に絶縁層を形成し、その形成した絶縁層上に導体配線層12を形成するものである。これにより導体配線層12どうしの独立したパターンを形成し、短絡を防止できる。

(5)

7

【0041】次に図3(d)に示すように、導体配線層によりチップ裏面に配線パターンを再配線した半導体ウェハーに対して、各半導体チップ単位でダイシングにより分割することにより、半導体チップ9の裏面側に表面の電極パッド8と接続した穴部10を有し、その穴部10で電気的な接続の導体配線層12が形成され、チップ裏面側で再配線された配線パターンを有した半導体装置の個片を得るものである。なお、このチップ分割工程の前に、半導体ウェハーの表面、裏面の各必要領域を絶縁性樹脂で被覆する工程を設けてパッケージングしてもよい。

【0042】次に本実施形態の半導体装置の別の形態について説明する。図4は本実施形態の半導体装置を示す図であり、図4(a)は平面図であり、図4(b)は底面図、図4(c)は図4(b)でのC-C1箇所の断面図である。

【0043】図4に示すように本実施形態の半導体装置は図1に示した半導体装置の構成と同様であるが、半導体チップとしてチップ裏面の中央領域に電極パッドが列をなして設けられたメモリーチップを用いたものであり、表面に電極パッド8を有した半導体チップ9と、その半導体チップ9の裏面側に形成され、半導体チップの電極パッド8の底部に到達した貫通しない穴部10と、穴部10に設けられ、チップの電極パッド8の底部と電気的に接続した導体層11と、その導体層11と電気的に接続し、半導体チップ9の裏面領域に絶縁層(図示せず)を介して形成された導体配線層12とよりなる半導体装置である。そして導体配線層12は、半導体チップの裏面領域上でパターン形成され、外部端子用の端子パッド13を有しているものである。そして端子パッド13はエリアアレイ状に配置されているものであり、表面の電極パッド8を穴部10を通して裏面に引き回して、再配線しているものである。

【0044】以上、本実施形態の半導体装置は、半導体チップの裏面側に表面の電極パッドと接続したテーパー状の穴部を有し、その穴部で電気的な接続の導体配線層を形成し、チップ裏面側で再配線することで半導体チップの素子領域に影響のない配線パターンをチップ裏面側に設けているものであり、半導体装置を実装基板に搭載

特開2003-17495

8

*する際にも素子領域に対するダメージの心配がない半導体装置である。

【0045】

【発明の効果】本発明の半導体装置は、半導体チップの裏面側に表面の電極パッドと接続した穴部を有し、その穴部で電気的な接続の導体層を形成し、チップ裏面側で再配線することで半導体チップの素子領域に影響のない配線パターンをチップ裏面側に有しているものである。したがって、本発明の半導体装置を実装基板に搭載する際には、素子領域に対するダメージを防止して実装できるものである。

【0046】また本発明の半導体装置の製造方法においては、半導体ウェハー状態で各半導体チップの裏面側に再配線でパターン形成するため、パターン形成時の素子領域へのダメージを防止できるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す図

【図2】本発明の一実施形態の半導体装置を示す断面図

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図

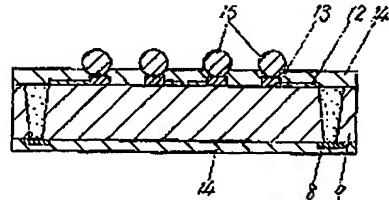
【図4】本発明の一実施形態の半導体装置を示す図

【図5】従来の半導体装置を示す図

【符号の説明】

- 1 電極パッド
- 2 半導体チップ
- 3 絶縁層
- 4 配線層
- 5 コンタクトパッド
- 6 絶縁性樹脂層
- 7 突起電極
- 8 電極パッド
- 9 半導体チップ
- 10 穴部
- 11 導体層
- 12 導体配線層
- 13 端子パッド
- 14 絶縁性樹脂
- 15 ボール電極
- 16 半導体ウェハー

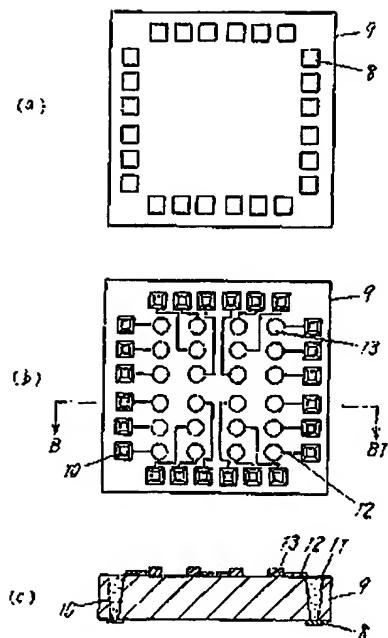
【図2】



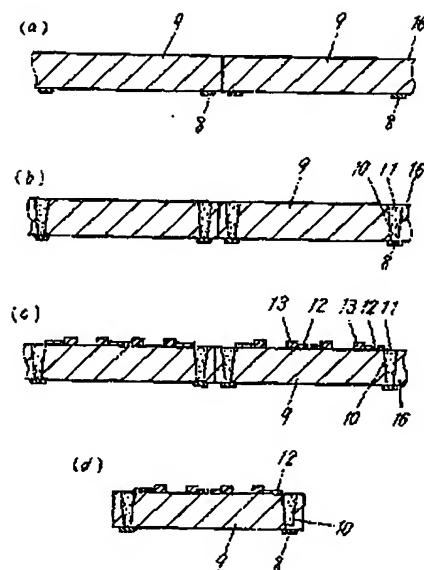
(5)

特開2003-17495

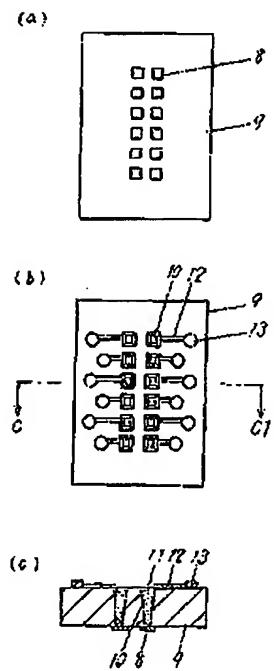
【図1】



【図3】



【図4】



【図5】

